

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-148852

(43)Date of publication of application : 07.06.1990

(51)Int.Cl.

H01L 21/336
H01L 27/092
H01L 27/108
H01L 27/11
H01L 29/784

(21)Application number : 63-301068

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.11.1988

(72)Inventor : HONJO SHIGERU

SASAKI KATSURO

ISHIBASHI KOICHIRO

AOKI MASAOKI

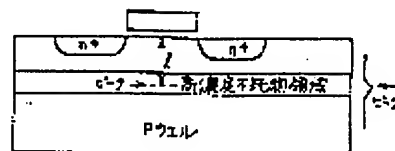
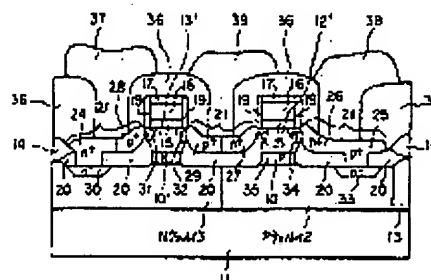
SHIMOHIGASHI KATSUHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent decrease in threshold voltage and in breakdown strength between a source and a drain and to suppress leak currents to the side of a substrate by providing impurity-doped region whose impurity concentration is higher than the impurity concentration of the semiconductor substrate and which has the same conductivity type as that of the substrate directly beneath a gate electrode at a specified depth, and setting the position of the peak of the impurity concentration within a specified distance from the surface of the substrate.

CONSTITUTION: An n-type impurity layer 10' and a p-type impurity layer 10 are provided in an n-type protruding region 13' and a p-type protruding region 12' directly beneath gate electrodes 16 of p-type and n-type transistors. The impurity concentrations of the layers 10' and 10 are higher than that in the regions 13' and 12'. The position of the peak of the impurity concentration is set within approximately $0.8\mu\text{m}$ from the surface of the substrate. Since the two-dimensional distribution



of depletion layers in the regions 12' and 13' can be suppressed, the decrease in threshold voltage can be suppressed. Since the electric field of a drain is weakened by the layers 10' and 10, punch-through between a source and the drain is suppressed, and breakdown strength between the source and the drain is improved.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平2-148852

⑬ Int. Cl.³
H 01 L 21/336

識別記号 庁内整理番号

⑭ 公開 平成2年(1990)6月7日

8422-5F H 01 L 29/78 3 0 1 Z
7735-5F 27/08 3 2 1 B※

審査請求 未請求 請求項の数 10 (全18頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭63-301068

⑰ 出 願 昭63(1988)11月30日

⑱ 発 明 者 本 城 繁 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 佐 々 木 勝 朗 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 石 橋 孝 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 青 木 正 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 中村 純之助
最終頁に続く

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 半導体基板表面上の一部にゲート絶縁膜を介してあるいは介さないで設けられたゲート電極と、該ゲート電極の両側の上記半導体基板の表面領域に設けられたソース領域およびドレイン領域と、該ソース領域およびドレイン領域のうちの少なくともドレイン領域の下部および上記ゲート電極の直下のチャネルが形成される領域を除く該ソース領域およびドレイン領域のうちの少なくともドレイン領域の側部に設けられた絶縁膜とを具備する半導体装置において、上記ゲート電極の直下の上記半導体基板内に該半導体基板と同じ導電型で該半導体基板の不純物濃度より高い不純物濃度の不純物ドーパ領域が所定の深さに設けられ、かつ、該不純物ドーパ領域の不純物濃度のピークの位置が上記ゲート電極の直下の上記半導体基板表面からほぼ $0.8\mu\text{m}$

以内にあることを特徴とする半導体装置。

2. 半導体基板の一部に突出して設けられた半導体突出領域と、該半導体突出領域表面上にゲート絶縁膜を介してあるいは介さないで設けられたゲート電極と、上記ゲート電極の直下のチャネルが形成される領域を除いて上記半導体突出領域の両側あるいは片側下部に延在して設けられた絶縁膜と、上記半導体突出領域の両側あるいは片側の上記ゲート電極の直下の半導体側部の露出部に付着され、かつ、該露出部から上記絶縁膜上に延在する半導体膜からなるソース領域あるいはドレイン領域と、該ソース領域あるいはドレイン領域と接する上記半導体突出領域内に設けられた真性ソース領域あるいは真性ドレイン領域とを具備することを特徴とする半導体装置。

3. 上記ゲート電極の直下から上記半導体突出領域内に該半導体突出領域と同じ導電型で該半導体突出領域の不純物濃度より高い不純物濃度の不純物ドーパ領域が所定の深さに設けられ、該

不純物ドーピング領域の不純物濃度のピークが上記ゲート電極の直下の上記半導体突出領域表面からほぼ $0.8\mu\text{m}$ 以内にあることを特徴とする特許請求の範囲第2項記載の半導体装置。

4. 第1導電型の半導体基板の表面領域に設けられた上記第1導電型と反対導電型の第2導電型のウェルと、該第2導電型ウェル表面領域の一部に突出して設けられた第2導電型半導体突出領域と、該半導体突出領域表面上にゲート絶縁膜を介してあるいは介さないで設けられたゲート電極と、上記ゲート電極の直下のチャネルが形成される領域を除いて上記半導体突出領域の両側下部に延在して設けられた絶縁膜と、上記半導体突出領域の両側の上記ゲート電極の直下の半導体露出部にそれぞれ付着され、かつ、該露出部から上記絶縁膜上にそれぞれ延在する半導体膜からなるソース領域およびドレイン領域と、該ソース領域およびドレイン領域とそれぞれ接して上記半導体突出領域内に設けられた真性ソース領域および真性ドレイン領域とを具備

域内に該半導体突出領域と同じ導電型で該半導体突出領域の不純物濃度より高い不純物濃度の不純物ドーピング領域が所定の深さに設けられ、該不純物ドーピング領域の不純物濃度のピークが上記ゲート電極の直下の上記半導体突出領域表面からほぼ $0.8\mu\text{m}$ 以内にあることを特徴とする特許請求の範囲第4項記載の半導体装置。

6. 上記第2導電型ウェルおよび上記第1導電型ウェルもしくは上記第1導電型半導体基板の表面上の上記絶縁膜に開孔が設けられ、該開孔部の露出する半導体基板に付着された電極を有することを特徴とする特許請求の範囲第4項または第5項記載の半導体装置。

7. 上記第2導電型ウェルの電極と上記第1導電型電界効果トランジスタのソース領域とが接続され、上記第1導電型の電界効果トランジスタのドレイン領域と上記第2導電型の電界効果トランジスタのドレイン領域とが接続され、かつ、上記第1導電型ウェルもしくは上記第1導電型の半導体基板の電極と上記第2導電型電界効果

する第1導電型電界効果トランジスタと、

上記第1導電型の半導体基板の表面領域もしくは該半導体基板の表面領域に設けられた第1導電型のウェルの一部に突出して設けられた第1導電型半導体突出領域と、該半導体突出領域表面上にゲート絶縁膜を介してあるいは介さないで設けられたゲート電極と、上記ゲート電極の直下のチャネルが形成される領域を除いて上記半導体突出領域の両側下部に延在して設けられた絶縁膜と、上記半導体突出領域の両側の上記ゲート電極の直下の半導体露出部にそれぞれ付着され、かつ、該露出部から上記絶縁膜上にそれぞれ延在する半導体膜からなるソース領域およびドレイン領域と、該ソース領域およびドレイン領域とそれぞれ接する上記半導体突出領域内に設けられた真性ソース領域および真性ドレイン領域とを具備する第2導電型電界効果トランジスタとにより構成されるCMOSを具備することを特徴とする半導体装置。

5. 上記ゲート電極の直下から上記半導体突出領

トランジスタのソース領域とが接続され、上記各接続部においてそれぞれ共通に電極が取つてあることを特徴とする特許請求の範囲第6項記載の半導体装置。

8. 半導体基板の一部にゲート絶縁膜を介してあるいは介さないでゲート電極を形成する第1の工程と、上記ゲート電極の両側の上記半導体基板を所定の深さ除去することによりゲート電極の直下に半導体突出領域を形成する第2の工程と、上記ゲート電極の直下のチャネルが形成される領域を除いて、上記半導体突出領域の両側下部の上記所定の深さ除去した基板表面上に延在する絶縁膜を形成する第3の工程と、上記半導体突出領域の上記ゲート電極の直下の半導体露出部に半導体膜を付着させる第4の工程とを具備することを特徴とする半導体装置の製造方法。

9. 上記第1の工程と上記第2の工程との間に、上記ゲート電極の直下の上記半導体基板の所定の深さに該半導体基板と同じ導電型で該半導体

基板の不純物濃度より高い不純物濃度で、かつ、不純物濃度のピークの位置が上記ゲート電極の直下の上記半導体基板表面からほぼ $0.8\mu\text{m}$ 以内にある不純物ドーピング領域を形成する工程を具備することを特徴とする特許請求の範囲第8項記載の半導体装置の製造方法。

10. 上記第3の工程において形成した絶縁膜に開孔を形成して上記半導体基板を露出する工程を具備し、かつ、上記第4の工程において該露出した半導体基板上に半導体膜を付着させることを特徴とする特許請求の範囲第8項または第9項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS型電界効果トランジスタ（以下、単にトランジスタと略記する）を具備してなる半導体装置およびその製造方法に係り、特に、チャネル長（ゲート長）が $0.5\mu\text{m}$ 以下の超微細トランジスタに適用するのに好適な半導体装置およびその製造方法に関する。

という、いわゆる短チャネル効果である。

本構造において、ドレイン拡散層6およびソース拡散層7の底面部に形成された絶縁膜8、9は、チャネルが形成可能なようにゲート電極4およびゲート絶縁膜3の直下の極めて浅い領域を除いて、ドレイン拡散層6およびソース拡散層7の側面部にも延在しており、ドレイン拡散層6の側面部の絶縁膜でドレイン電界を緩和し、上記①、②の短チャネル効果を抑制しようとするものである。

〔発明が解決しようとする課題〕

上記従来技術においては、短チャネル効果への対策が十分でない。すなわち、①ゲート電極4の直下の基板1の濃度プロファイルの点について配慮がされておらず、(1)ゲート電極4の直下の基板1内に生じる空乏層の2次元分布により閾値電圧が低下する。(2)ドレイン電界の緩和が十分でなく、ソース、ドレイン間耐圧が十分高くない。(3)ゲート電極4およびゲート絶縁膜3の直下の極めて浅い領域を除くドレイン拡散層6の底面部および側面部に延在する絶縁膜8のドレイン側と

〔従来の技術〕

この種のトランジスタは、例えば、特開昭63-76481号広報に記載されている。

第11図は、この文献に記載された従来のトランジスタの断面図である。

図において、1はP型シリコン基板、2はトランジスタと他の素子との間の絶縁分離を行なう素子分離絶縁膜、3はゲート絶縁膜、4はゲート電極、6はドレイン拡散層、7はソース拡散層、5はゲート電極4とドレイン拡散層6およびソース拡散層7とを絶縁する絶縁膜、8、9はドレイン拡散層6およびソース拡散層7の側面の一部および底面部に形成された絶縁膜である。

すなわち、高集積化に伴い、チャネル長が $0.5\mu\text{m}$ 以下の超微細トランジスタを実現する上で、チャネル長が微細な故に生じる解決すべき重大な課題がある。

それは、①電子崩降服が生じ、パンチスルーによりソース、ドレイン間耐圧が低下する。また、②ドレイン電界により閾値電圧が低下する。

基板側とは電気的に十分に絶縁されていないので、ドレイン拡散層6から基板1側へのリーク電流を抑えることができない。②当該トランジスタを用いてメモリセルを構成した場合、 α 線等に起因する雑音キャリアにより生じるソフトエラーへの対策が十分でない。③依然として、素子分離領域が必要であり、素子面積の低減効果が少ない。④素子が1個の単体構造のみに関するものであり、LSI全体としての構造になっていない、ことが解決すべき課題であった。

本発明の目的は、上記①～④の課題を解決し、特に、チャネル長が $0.5\mu\text{m}$ 以下のトランジスタの集積化に適する素子構造およびその製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的を、本発明は次のような手段により達成する。

すなわち、本発明の第1の半導体装置（すべての実施例に適用）は、半導体基板表面上の一部にゲート絶縁膜を介して（すなわち、MOS構造）

あるいは介さないで(すなわち、M E S構造)設けられたゲート電極と、該ゲート電極の両側の上記半導体基板の表面領域に設けられたソース領域およびドレイン領域と、該ソース領域およびドレイン領域のうちの少なくともドレイン領域の下部および上記ゲート電極の直下のチャネルが形成される領域を除く該ソース領域およびドレイン領域のうちの少なくともドレイン領域の側部に設けられた絶縁膜とを具備する半導体装置において、上記ゲート電極の直下の上記半導体基板内に該半導体基板と同じ導電型で該半導体基板の不純物濃度より高い不純物濃度の不純物ドーパ領域(図面の符号10、10')が設けられ、かつ、該不純物ドーパ領域の不純物濃度のピークの位置が上記ゲート電極の直下の上記半導体基板表面からほぼ $0.8\mu\text{m}$ 以内にあることを特徴とする。

また、本発明の第2の半導体装置(第1図、第4図、第9図(B)に示す)は、半導体基板の一部に突出して設けられた半導体突出領域と、該半導体突出領域表面上にゲート絶縁膜を介してある

本発明をV L S Iに必須のC M O S(相補型トランジスタ)に適用した半導体装置(第1図、第4図に示す)においては、第1導電型の半導体基板の表面領域に設けられた上記第1導電型と反対導電型の第2導電型のウェルと、該第2導電型ウェル表面領域の一部に突出して設けられた第2導電型半導体突出領域と、該半導体突出領域表面上にゲート絶縁膜を介してあるいは介さないで設けられたゲート電極と、上記ゲート電極の直下のチャネルが形成される領域を除いて上記半導体突出領域の両側下部に延在して設けられた絶縁膜と、上記半導体突出領域の両側の上記ゲート電極の直下の半導体露出部にそれぞれ付着され、かつ、該露出部から上記絶縁膜上にそれぞれ延在する半導体膜からなるソース領域およびドレイン領域と、該ソース領域およびドレイン領域とそれぞれ接して上記半導体突出領域内に設けられた真性ソース領域および真性ドレイン領域とを具備する第1導電型電界効果トランジスタと、

上記第1導電型の半導体基板の表面領域もしくは

いは介さないで設けられたゲート電極と、上記ゲート電極の直下のチャネルが形成される領域を除いて上記半導体突出領域の両側あるいは片側下部に延在して設けられた絶縁膜と、上記半導体突出領域の両側あるいは片側の上記ゲート電極の直下の半導体側部の露出部に付着され、かつ、該露出部から上記絶縁膜上に延在する半導体膜からなるソース領域あるいはドレイン領域と、該ソース領域あるいはドレイン領域とそれぞれ接して上記半導体突出領域内に設けられた真性ソース領域あるいは真性ドレイン領域とを具備することを特徴とする。

第2の半導体装置においても、上記ゲート電極の直下から上記半導体突出領域内に該半導体突出領域と同じ導電型で該半導体突出領域の不純物濃度より高い不純物濃度の不純物ドーパ領域を設けた方が好ましく、この場合も該不純物ドーパ領域の不純物濃度のピークが上記ゲート電極の直下の上記半導体突出領域表面からほぼ $0.8\mu\text{m}$ 以内にある。

は該半導体基板の表面領域に設けられた第1導電型のウェルの一部に突出して設けられた第1導電型半導体突出領域と、該半導体突出領域表面上にゲート絶縁膜を介してあるいは介さないで設けられたゲート電極と、上記ゲート電極の直下のチャネルが形成される領域を除いて上記半導体突出領域の両側下部に延在して設けられた絶縁膜と、上記ゲート電極の直下の上記半導体突出領域の両側の半導体露出部にそれぞれ付着され、かつ、該露出部から上記絶縁膜上にそれぞれ延在する半導体膜からなるソース領域およびドレイン領域と、該ソース領域およびドレイン領域とそれぞれ接して上記半導体突出領域内に設けられた真性ソース領域および真性ドレイン領域とを具備する第2導電型電界効果トランジスタとにより構成されるC M O Sを具備することを特徴とする。

このC M O Sにおいても、上記ゲート電極の直下から上記半導体突出領域内に該半導体突出領域と同じ導電型で該半導体突出領域の不純物濃度より高い不純物濃度の不純物ドーパ領域を設けた方

が好ましく、この場合も該不純物ドーピング領域の不純物濃度のピークが上記ゲート電極の直下の上記半導体突出領域表面からほぼ $0.8\mu\text{m}$ 以内にある。

また、CMOSにおいては、上記第2導電型ウェルおよび上記第1導電型ウェルもしくは上記第1導電型半導体基板の表面上の上記絶縁膜に開孔が形成され、該開孔部の露出する半導体部に付着された電極を有する。

さらに、インバータ回路(第1図)でなく、多入力回路のCMOS(第4図)においては、上記第2導電型ウェルの電極と上記第1導電型電界効果トランジスタのソース領域とが接続され、上記第1導電型の電界効果トランジスタのドレイン領域と上記第2導電型の電界効果トランジスタのドレイン領域とが接続され、かつ、上記第1導電型ウェルもしくは上記第1導電型半導体基板の電極と上記第2導電型電界効果トランジスタのソース領域とが接続され、上記各接続部においてそれぞれ共通に電極を取るのが好ましい。

本発明の半導体装置の製造方法は、半導体基板

膜に開孔を形成して上記半導体基板を露出する工程を具備し、かつ、上記第4の工程において該露出した半導体基板上に半導体膜を付着させることも可能である。

〔作用〕

第2図(A)は、本発明の第1の半導体装置の効果を示す図で、ゲート電極直下の半導体基板内に該基板と同じ導電型で該基板より不純物濃度が高い不純物ドーピング領域を設けた場合の閾値電圧を示す図、第2図(B)は、この高濃度不純物ドーピング領域のピークの位置を示す図である。

これらの図から明らかなように、ゲート長が $0.5\mu\text{m}$ 以下の超微細トランジスタにおいて、高濃度不純物領域を設けた場合は、高濃度不純物領域を設けない従来の場合に比べて、閾値電圧が低下するのを抑制できることが判る。また、閾値電圧の低下防止のためには、ゲート電極直下のチャンネルが形成される半導体基板表面からほぼ $0.8\mu\text{m}$ 以下に不純物プロファイルのピークを持つことが要求されることがわかった。また、高濃度不純物ド

の一部にゲート絶縁膜を介してあるいは介さないでゲート電極を形成する第1の工程と、上記ゲート電極の両側の上記半導体基板を所定の深さ除去することによりゲート電極の直下に半導体突出領域を形成する第2の工程と、上記ゲート電極の直下のチャンネルが形成される領域を除いて、上記半導体突出領域の両側下部の上記所定の深さ除去した基板表面上に延在する絶縁膜を形成する第3の工程と、上記半導体突出領域の上記ゲート電極の直下の半導体露出部に半導体膜を付着させる第4の工程とを具備することを特徴とする。

また、上記第1の工程と上記第2の工程との間に、上記ゲート電極の直下の上記半導体基板の所定の深さに該半導体基板と同じ導電型で該半導体基板の不純物濃度より高い不純物濃度で、かつ、不純物濃度のピークの位置が上記ゲート電極の直下の上記半導体基板表面からほぼ $0.8\mu\text{m}$ 以内にある不純物ドーピング領域を形成する工程を具備することが好ましい。

さらに、上記第3の工程において形成した絶縁

層領域をゲート電極直下に設けることにより、ドレイン電界を弱めることができるのでパシブルの抑制が可能で、ソース、ドレイン間耐圧を向上できる。このようにゲート電極下での基板不純物プロファイルが短チャンネル効果の改善向上に重大な影響を及ぼす。さらに、該高濃度不純物ドーピング領域より深いところで発生する α 線等に起因する雑音キャリアのチャンネル部への侵入を該高濃度不純物領域の電位障壁により抑止でき、情報蓄積ノードの蓄積電荷量に変化しないようにできるため、 α 線によるソフトエラーの抑制効果を持つ。

また、本発明の第2の半導体装置においては、素子分離用絶縁膜の上にトランジスタのソース、ドレイン領域を形成するので、素子分離に必要な距離を低減できる。従って、この第2の半導体装置を用いてチャンネル長が $0.5\mu\text{m}$ 以下の超微細トランジスタで構成されるCMOSやメモリセルを構成すれば、高集積かつ高信頼な集積回路を実現することができる。また、CMOSの場合は、トランジスタのソース領域が半導体基板(半導体突出

領域)に接する面積を小さくできるので、ラッチアップを発生しにくくすることができる。さらに、メモリセルの場合は、蓄積ノードが半導体基板(半導体突出領域)に接する面積を小さくできるため、 α 線によるソフトエラー耐性も向上できる。
〔実施例〕

以下、本発明を実施例によってさらに詳細に説明する。説明を簡明にするため、各部の材質、半導体層の導電型等を規定して述べるが、材質、導電型等はこれに限定されるものではないことは言うまでもない。

実施例 1

本発明の第1の実施例の半導体装置の断面構造を第1図に示す。本構造は、VLSIに必須のCMOS構造である。

図において、11はP型シリコン基板、13はNウェル、12はPウェル、14はフィールド酸化膜、15はゲート酸化膜、16はゲート電極、17はゲート保護絶縁膜、19は側壁シリコン窒化膜、13'はNウェル13の表面領域に突出し

ランジスタのソース端子を兼ねた金属電極、39はP型トランジスタのドレイン端子およびN型トランジスタのドレイン端子を兼ねた金属電極、38はPウェル端子およびN型トランジスタのソース端子を兼ねた金属電極である。

本実施例の第1の特長は、P型トランジスタおよびN型トランジスタのゲート電極16の直下のN型突出領域13'およびP型突出領域12'内に、それぞれN型突出領域13'およびP型突出領域12'よりも不純物濃度の高いN型不純物層10'とP型不純物層10が設けられ、かつ、これらの不純物層の不純物濃度のピークの位置が基板(突出領域)表面からほぼ $0.8\mu\text{m}$ 以内にあることである。このように基板と同じ導電型の高濃度不純物ドーブ層10'、10を設けたことにより、ゲート電極直下の突出領域12'、13'における空乏層の2次元分布を抑制できるので閾値電圧が低下するのを抑制できる。また、該不純物ドーブ層10'、10によりドレイン電界が弱められるので、ソース、ドレイン間のパンチスルーを抑

て設けられたN型突出領域、12'はPウェル12の表面領域に突出して設けられたP型突出領域、10'はゲート電極16の直下のN型突出領域13'に設けられたN型突出領域13'より不純物濃度の高いN型不純物層、10はゲート電極16の直下のP型突出領域12'に設けられたP型突出領域12'より不純物濃度の高いP型不純物層、20はN型突出領域13'およびP型突出領域12'の両側下部に延在して設けられた絶縁膜、21はシリコン窒膜、30はN⁻領域あるいはN⁺領域、24はNウェル電極、28はP型トランジスタのソース領域、29はP型トランジスタのドレイン領域、27はN型トランジスタのドレイン領域、26はN型トランジスタのソース領域、33はP⁻領域あるいはP⁺領域、25はPウェル電極、31はP型トランジスタの真性ソース領域、32はP型トランジスタの真性ドレイン領域、35はN型トランジスタの真性ドレイン領域、34はN型トランジスタの真性ソース領域、36は層間絶縁膜、37はNウェル端子およびP型ト

制し、ソース、ドレイン間耐圧が向上できる。また、該不純物ドーブ層10'、10の領域は、ドレイン電極29、27の電圧により空乏および反転することがなくなるので、空乏層からの発生、再結合電流を抑えることができる。また、このCMOSを用いてメモリセルを構成した場合は、該高濃度不純物ドーブ層10'、10より深い所で発生する雑音キャリアのチャネル部への侵入を該高濃度不純物ドーブ層10'、10の電位障壁により抑止でき、 α 線等によるソフトエラーの抑制効果を持つ。

第2の特長は、真性ソース、ドレイン領域(P型トランジスタではP⁻領域31、32、N型トランジスタではN⁻領域34、35)に接続されるソース、ドレイン領域(P型トランジスタでは28、29、N型トランジスタでは26、27)が多結晶シリコン等の半導体膜で構成され、かつ、これらの真性ソース、ドレイン領域およびソース、ドレイン領域の下には絶縁膜20(従来のソース、ドレイン領域下に形成された第11図の絶縁膜8、

9に相当する)が形成されており、かつ、この絶縁膜8、9は、素子間分離(アイソレーション)を行なう素子分離絶縁膜を兼ねていることである。これによりP型トランジスタおよびN型トランジスタの素子分離間隔を従来に比べ大幅に低減でき、素子を高集積化できる。

第3の特長は、CMOS特有のラッチアップを抑制する効果があることである。ラッチアップを起こす電流経路は、通常、P型トランジスタの真性ソース領域31からNウェル13、Pウェル12を通り、N型トランジスタの真性ソース領域34である。本実施例のCMOSでは、この電流経路にN型不純物層10'およびP型不純物層10が存在する上、ソース領域28とN型突出領域13'およびソース領域26とP型突出領域12'の接触面積が小さいので、ラッチアップを抑制することができる。

第3図(A)～(F)は、それぞれ本発明の第1の実施例の半導体装置の製造方法を工程順に示す断面図である。

し、側壁部にシリコン窒化膜19を残すように異方性エッチングを行なった。このとき、ゲート保護絶縁膜18はすべてエッチングされた(第3図(B))。

続いて、ゲート電極16の直下以外のNウェル13、Pウェル12の上部領域とN型不純物層10'、P型不純物層10を除去するために(あるいはN型不純物層10'、P型不純物層10を残すように、ただし、残す場合はN型不純物層10'とP型不純物層10の距離は、Nウェル13とPウェル12の接合耐圧を低下させない程度にすることが必要である。)、さらに異方性エッチングを行ない、N型突出領域13'とP型突出領域12'を形成する。このとき、ゲート保護絶縁膜17をすべてエッチングしないようにする(第3図(C))。

第3図(C)の状態において、シリコン酸化膜で構成されるゲート保護絶縁膜17をマスクとして露出しているシリコン表面部分に高濃度の不純物をイオン注入法によりドーピングする。ソース

まず、P型シリコン基板11にNウェル13、Pウェル12を形成し、所定領域に公知の素子間分離技術を用いてフィールド酸化膜14を形成する。次に、イオン注入法によりNウェルよりも高濃度となるようにN型不純物層10'と、Pウェル12よりも高濃度となるようにP型不純物層10を形成する。その後、約15nm厚のゲート絶縁膜となるシリコン酸化膜15を熱酸化法により形成し、続いて、ゲート電極となる多結晶シリコン薄膜16を形成する。なお、この多結晶シリコン薄膜16には POCl_3 を拡散源とする熱拡散により高濃度拡散を行なって低抵抗にし、しかる後、燐が僅かに添加されたシリコン酸化膜17、およびシリコン窒化膜18を逐次堆積した。続いて、多結晶シリコン薄膜16、シリコン酸化膜17、シリコン窒化膜18からなる重ね合わせ膜を公知の写真蝕刻法により加工し、ゲート電極16およびゲート保護絶縁膜17および18を形成した(第3図(A))。

この状態から全面にシリコン窒化膜19を堆積

側の下部に絶縁膜20を形成したくない場合は、その領域へイオンを注入しないように、レジスト膜等でその領域を覆えばよい。この後、熱酸化法により絶縁膜20を形成する。ここで、熱酸化膜の成長速度は不純物濃度が高い程大きくなることから不純物濃度の低いゲート直下のシリコン部分はその他の部分よりも酸化膜厚が小さくなる(第3図(D))。また、絶縁膜20は、異方性の絶縁物堆積法を用いて形成してもよい。

第3図(D)の状態から、Nウェル13およびPウェル12の電位を固定するために絶縁膜20をマスクを用いて部分的にエッチングした後、チャネルが形成されるようにゲート電極16の直下のシリコン酸化膜のみをエッチング除去することによってソース、ドレインとなる部分のシリコン表面を露出させる。しかる後、シリコン表面にのみシリコンを付着するプラグ技術あるいはエビタキシャル成長等によりウェルコンタクト領域には露出するウェル表面から、ソース、ドレイン領域にはゲート直下のシリコン露出部の表

面部分から多結晶シリコン薄膜21もしくは単結晶シリコン薄膜を付着させる。なお、プラグ技術については、プロシーディングズ オブ ザ ファースト インターナショナル シンポジウム オン U L S I (PROCEEDINGS OF THE FIRST INTERNATIONAL SYMPOSIUM ON ADVANCED MATERIALS FOR ULSI) p.103~120に記載されている。ソース、ドレイン領域からは自己整合的にシリコン薄膜が付着するため、マスクずれに関してはウェルコンタクト領域にのみ注意を払うことで済み、マスク合わせを容易に行なうことができる(第3図(E))。

次に、シリコン薄膜21により、ウェルとのオーミックコンタクトおよびトランジスタのソース、ドレイン領域を形成するために、シリコン薄膜21にホトレジスト(図示せず)を用いて不純物をイオン注入法によりドーピングする。NウェルコンタクトおよびN型トランジスタのソース、ドレインとなる部分のシリコン薄膜にはマスク22を用い、PウェルコンタクトおよびP型トランジスタのソース、ドレインとなる部分のシリコン薄

膜にはマスク23を用いることによりそれぞれシリコン薄膜21を N^+ 、 P^+ 領域に分割する。この結果、Nウェル電極24、P型トランジスタのソース領域28、ドレイン領域29、N型トランジスタのソース領域26およびドレイン領域27、Pウェル電極25が形成される。

このとき、ゲート電極16と異なる導電型の不純物をドーピングするときは、そのゲート部分をマスクするほうが好ましい。この後、ウェルコンタクト抵抗を低減化し、かつソース、ドレイン領域の不純物を活性化するためにアニールを行なう。このとき、シリコン表面にも不純物が拡散し、Nウェル13内には N^- 領域30が、N型突出領域13'内には P^- 領域31、32が形成され、また、Pウェル12内には P^- 領域33が、P型突出領域12'内には N^- 領域34、35が形成される。なお、領域30(領域33)にN型(P 型)不純物をドーピングし、 N^+ (P^+)化して端子24(25)との接触抵抗を低下させることができる。 P^- 領域31、32および N^- 領域34、35はト

ランジスタの高耐圧化、ホットキャリアによる寿命劣化防止に有効であることは言うまでもない(第3図(F))。

次に、第1図に示すように、層間絶縁膜36を形成し、接続孔を開けた後、①金属電極37によりNウェル端子、P型トランジスタのソース端子、②金属電極39によりP型トランジスタのドレイン端子、N型トランジスタのドレイン端子、③金属電極38によりN型トランジスタのソース端子、Pウェル端子を取り出し、かつ所望の配線を行なう。各金属電極37、38、39は、シリコン薄膜21内のPN接合による電圧降下が発生しないように電気的に短絡する効果があるために、本実施例のように P^+ 層と N^+ 層を接触させてもかまわない。これにより素子分離領域をさらに小さくすることができる。

実施例 2

第4図は、本発明の第2の実施例のCMOSの断面図である。

CMOS回路においては、第1図に示したよう

なようなインバータ回路(ゲート電極16を入力端子、電極37を電源端子、電極38を接地端子、電極39を出力端子とした場合)のみではなく、多入力回路も存在する。本実施例は、この多入力CMOS回路の実施例であり、電極の取り出し以外は第1図の構造と同様である。

すなわち、第1図の構造と比較して異なる点は、 N^+ 領域24と P^+ 型領域28、 P^+ 領域29と N^+ 型領域27、 N^+ 領域26と P^+ 型領域25とをそれぞれ分離して各々独立に電極を取り出すようにした点である。この構造を製造するには、第1図の構造を製造工程における第3図(E)に示す工程において、絶縁膜20に開孔されたシリコンウェル表面およびゲート直下で露出するシリコン表面部分からシリコン薄膜21を付着させるとき、シリコン薄膜24と28、29と27、26と25がそれぞれつながらないうちに成長をストップさせることにより、簡単に作製できる。これらの電極をそれぞれ独立して取り出すことができるので、それぞれ独立して配線することが可能とな

る。

本実施例の多入力回路のCMOSにおいても、第1の実施例と同様の効果を有することは言うまでもない。

なお、本実施例において、単体のトランジスタに着目した場合も、ゲート電極16の直下の半導体突出領域12'、13'に設けた該突出領域と同一導電型で高濃度の不純物ドーブ領域10、10'により、該突出領域における空乏層の2次元分布を抑制し、閾電圧値が低下するのを抑制できる。また、高濃度不純物ドーブ領域10、10'により、ドレイン電界を弱めることができるのでパンチスルーの抑制が可能で、ソース、ドレイン間耐圧を向上できる。このように短チャネル効果を改善できる。さらに、本構造をメモリセルに適用することにより、該高濃度不純物ドーブ領域10、10'より深いところで発生する雑音キャリアのチャネル部への侵入を該高濃度不純物ドーブ領域10、10'の電位障壁により抑止でき、 α 線によるソフトエラーの抑制効果を持つ。また、

ジスタ49のゲート、N型トランジスタ51のゲート、ならびにN型トランジスタ52のドレインに結線し、電源端子45をP型トランジスタ49、50のソース、接地端子46をN型トランジスタ51、52のソースに結線することによってメモリセルを構成することができる。

転送トランジスタ40、41のゲートであるワード線42の電圧を低レベルから高レベルにすることによって、データ線43、44を介してデータの書き込み/読み出しを行なう。

次に、レイアウト図(第5図(B)~(D))の説明を第1図の断面図を用いて行なう。レイアウト図が複雑であるため、工程が進むに従って3つに分割した。

各レイアウト図において、破線で囲んだ部分がメモリセル1個分に相当する。まず、第5図(B)は、第3図(E)までの工程終了時を示す。第5図(B)において、第1図のNウェル13の領域がレイアウト図の符号53、トランジスタで形成されるアクティブ領域が54、トランジスタのゲ

素子分離用絶縁膜20の上にトランジスタのソース、ドレイン領域28・29(あるいは26・27)が設けてあるので、素子分離に必要な距離を低減でき、高集積化に有利である。

実施例 3

第5図(A)は、本発明をメモリセルに適用した場合の本発明の第3の実施例の回路図、第5図(B)~(D)は、それぞれ第5図(A)の回路を有するメモリセルのレイアウト図で、製造工程が順に進んだ場合のレイアウト図である。

図において、40、41は転送トランジスタ、42はワード線、43、44はデータ線、45は電源端子、46は接地端子、47、48は情報蓄積ノード、49、50はP型トランジスタ、51、52はN型トランジスタである。情報蓄積ノード47をP型トランジスタ49のドレイン、およびP型トランジスタ50のゲート、N型トランジスタ52のゲート、ならびにN型トランジスタ51のドレインに結線し、情報蓄積ノード48をP型トランジスタ50のドレイン、およびP型トラン

ート電極16となる第1の導電層が55、Nウェル13の端子取り出しのためのコンタクトが56、Pウェル12の端子取り出しのためのコンタクトが57である。

ウェル端子取り出しのためのコンタクト56、57、また、アクティブ領域54と、第1の導電層55との境界領域からシリコン薄膜を付着させることによって導電層55以外のアクティブ領域54の一部あるいは全領域もしくはその近傍をシリコン薄膜で覆う。次に、第5図(C)に示すように、N型トランジスタのソース、ドレイン、およびNウェルの電極を取るために58をマスクとし、N型不純物をイオン注入する。また、P型トランジスタのソース、ドレイン、およびPウェルの電極を取るために、マスク58の反転マスクを用いてP型不純物をイオン注入する。

導電層を用いて配線することにより、第5図(A)の回路を有するメモリセルを実現する。すなわち、第5図(D)に示すように、①接地端子46を取るためのコンタクト59、②電源端子

45を取るためのコンタクト60、③情報蓄積ノード47を取るためのコンタクト61、④情報蓄積ノード48を取るためのコンタクト62の上に、配線層63を付着して配線する。この配線の上に、さらに層間絶縁膜を重ねた後、コンタクト穴64を開け、配線層65によってデータ線43、44を形成する。データ線43、44のコンタクトを取る際に、配線層63の一部である63'（一点鎖線で図示した）より小さなコンタクト穴を開け（61、62と同じ工程）た後、63'を形成し、この配線の上に、さらに層間絶縁膜を重ねて形成した後、コンタクト穴64を開け、配線層65を形成することにより、配線層65のコンタクト部段差が小さくなるため、配線層65の膜厚低下を防ぐことができ、結果として、配線層65のコンタクト部の抵抗増加を防ぐことができる。

実施例 4

本実施例は、第3の実施例の第5図(A)において、転送トランジスタ40、41をP型トランジスタに替えた場合のメモリセルの実施例である。

および各部の名称に対する符号は、第5図(A)～(D)と同様である。

このレイアウトにおいて、特徴的なことは信号線であるデータ線DataあるいはDataの両側に固定電位の配線電源線Vcc、接地線GNDが平行に配置されていることである。このことによって信号線がシールドされて雑音に対して強い構造となる。また、ワード線がW₁、W₂と2本で1つのメモリセルを構成することになり、メモリセル内のレイアウトが対称性を持つ。このため、バランスが良いメモリセルが実現でき、ノイズに強い構造となる。

すなわち、例えば、第5図(A)の回路図において、情報蓄積ノード47、48がそれぞれVcc、Vssの電位となり、情報「1」を記憶しているとする。このとき、α線などのノイズにより電子が情報蓄積ノード47に入り、電位を低下させると、N型トランジスタ52がオフし、同時にP型トランジスタ50がオンする。この結果、情報蓄積ノード48の電位が上昇してVccとなり、情報が

第6図(A)は、本発明の第4の実施例の回路図、第6図(B)は、本発明の第4の実施例のレイアウト図である。ワード線42の電圧を高レベルから低レベルにすることによって、データ線43、44を介してデータの書き込み/読み出しを行なう(第6図(A))。また、第5図(C)におけるマスク58を第6図(B)に示すようにする。

実施例 5

第7図は、本発明の第5の実施例のメモリセルのレイアウト図である。このメモリセルの回路図および各部の名称に対する符号は、第5図(A)～(D)と同様である。本発明を用いない通常のトランジスタを用いてレイアウトした場合の面積を1として計算したところ、本発明によるメモリセルは、0.7となり、30%の占有面積低減となった。

実施例 6

第8図は、本発明の第6の実施例のメモリセルのレイアウト図である。このメモリセルの回路図

「0」に変わり、ソフトエラーが発生する。このとき、P型トランジスタ49の電流駆動能力がP型トランジスタ50よりも大きければ、情報蓄積ノード48の電位が上昇する前に情報蓄積ノード47の電位がVccまで復帰することができる。この結果、情報は「1」となり、ソフトエラーは発生しない。しかしながら、情報蓄積ノード47、48がそれぞれVss、Vccの電位となり、このメモリセルが情報「0」を記憶する場合、ノイズにより情報蓄積ノード48の電位が低下すると、P型トランジスタ49の電流駆動能力がP型トランジスタ50の電流駆動能力よりも大きいために、情報蓄積ノード47の電位がVccとなり、情報が「1」に変わり、ソフトエラーとなる。このメモリセルはP型トランジスタの駆動能力の違いによるアンバランスのために、情報が「1」となりやすくなっている。すなわち、アンバランスのために、メモリセルの信頼性を低下させることとなる。ところが、本実施例では、レイアウトの対称性のため、バランスが良いので、メモリセルの信頼性

を向上させることができる。

実施例 7

第9図(A)は、本発明の第7の実施例のメモリセルの回路図、第9図(B)は、本発明の第7の実施例のメモリセルの断面図である。

トランジスタ66のゲート電極16であるワード線67の電圧を低レベルから高レベルにすることによってデータ線68((B)図の73)を介してデータの書き込み/読み出しを行なう。69((B)図の72)はある固定電位にしておき、情報蓄積ノード70に電荷を蓄積する。情報蓄積ノード70に絶縁膜を介した導電層72によって蓄積容量 C_s を形成する。この絶縁膜は、CVD法による SiO_2 、あるいは情報蓄積ノードとなる部分70の Si 膜を酸化することによっても得ることができる。酸化法によれば酸化膜厚を小さく制御することができ、蓄積容量 C_s を大きくすることができる。蓄積容量 C_s の形成に関しては、上記製造方法に限るものではないことは言うまでもない。蓄積容量が大きい程ソフトエラー耐性が

10の不純物ピーク位置をP型シリコン基板1の表面から $0.8\mu\text{m}$ 以下にすると、短チャネル効果の改善が顕著になる。また、本構造をメモリセルに適用した場合、 α 線が入射した場合において、情報蓄積ノードとなる6あるいは7内で発生した電子・正孔対は、情報蓄積ノード6あるいは7とシリコン基板1の接触する小さな領域からしか基板1へ流出することができず、流出できない電子や正孔は情報蓄積ノード6あるいは7内で再結合をし、電氣的雑音とはならない。また、基板1内に発生した雑音電荷である電子は、P型不純物層10の電位障壁のために情報蓄積ノード6あるいは7に到達できない。これと反対導電型のP型トランジスタの場合は、N型基板あるいはNウェル内に発生した雑音電荷である正孔は、N型不純物層10'の電位障壁のために情報蓄積ノードに到達できない。結果として、 α 線により発生した雑音電荷の情報蓄積ノードへの侵入により情報蓄積ノードの蓄積電荷量に変化しないようにできるため、 α 線によるソフトエラー耐性向上に有効な構造と

向上する。また、隣のメモリセルとの絶縁分離は、付着するシリコンの量によって制御することができるため、絶縁分離領域を必要としない。この結果、メモリセル面積を小さくできる。

実施例 8

第10図は、本発明の第8の実施例のトランジスタの断面図である。

P型シリコン基板1、素子分離絶縁膜2、ゲート絶縁膜3、ゲート電極4、ゲート自体を絶縁する絶縁膜5、ドレイン拡散層6、ソース拡散層7、ドレイン拡散層6およびソース拡散層7の側面の一部および底面部に形成された絶縁膜8、9(すなわち、底部に形成された絶縁膜8、9は、ゲート電極4の直下のチャネルが形成されるための極めて浅い領域を除き、ソースおよびドレイン接合側面部にも延在している)、ゲート電極4の直下のP型シリコン基板1内に該基板と同じ導電型で該基板より不純物濃度が高いP型不純物層10等で構成されている。

作用のところで説明したように、P型不純物層

なる。

実施例 9

第12図は、本発明の第9の実施例の接合トランジスタの断面図である。このN型接合トランジスタのチャネル領域におけるN領域(P接合トランジスタではP型領域)80を除く各部の名称に対する符号は第1図と同様である。

本実施例において、第1図の構造と比較して異なる点は、第1図におけるゲート酸化膜15がなく、ゲート電極16が直接P型突出領域12'に接続され、その接合部のチャネル領域にN領域80があることである。本構造を作製するには、第1図の構造の製造工程を示す第3図(A)の工程において、ゲート電極16を形成する前に、イオン注入によりチャネル領域となるシリコン表面部分に不純物を導入してN領域80を形成し、ゲート酸化膜15を形成しないことにより簡単に作製できる。

本実施例の接合型トランジスタにおいても、第8の実施例と同様の効果を有することは言うまでも

もない。

実施例 10

第13図(A)は、本発明の第10の実施例の回路図、第13図(B)は、本発明の第10の実施例の断面図である。

N型接合トランジスタ92、P型接合トランジスタ93のゲート電極88((B)図の16)を入力とし、N型接合トランジスタ92、P型接合トランジスタ93のソース電極89((B)図の82、84)を出力とする回路である。この回路は、入力がVccレベルのとき出力がVccレベル、入力がVssレベルのとき出力がVssレベルとなる回路である。Pウェル12はVssに接続し、Nウェル13はVccに接続する。N型接合トランジスタ92のドレイン電極81は、配線層85によって電源91に接続される。P型トランジスタ93のドレイン電極83は、配線層87によって接地90に接続される。N型接合トランジスタ92のソース電極82、P型接合トランジスタ93のソース電極84は配線層86によって出力に接続さ

レッシュン型であるN型MOSトランジスタ94、P型MOSトランジスタ95に置き換え、第13図(B)におけるゲート電極16とP型突出領域12'、ゲート電極16とN型突出領域13'の境界にゲート酸化膜15が存在することを除くと、本発明の回路図および断面図の各部の名称に対する符号は、第13図(A)、第13図(B)と同様である。

本実施例においても、第10の実施例と同様の効果を有することは言うまでもない。

以上、本発明の実施例について説明したが、本発明が上記各実施例に限定されないことは言うまでもない。例えば、上記実施例では、ゲート絶縁膜を有するMOSトランジスタについて述べたが、ゲート絶縁膜を有さないMESトランジスタにも本発明は有効である。

〔発明の効果〕

以上説明したように、本発明の半導体装置において、ゲート電極直下の半導体領域に該半導体領域と同一導電型で高濃度の不純物ドーパ領域を設

れる。

この回路の用途としては、①インピーダンス変換、②波形成形、③高速伝送等が挙げられる。例えば、Aから伸びてBに到る配線があり、信号がAからBへと伝送される場合、AとBの間の少なくとも一部分Cを切断し、切断したCのA側を入力、B側を出力とするように上記回路を接続する。この結果、Aから見たB側のインピーダンスがAからCに到るインピーダンスと上記回路の入力インピーダンスとの和で与えられ、インピーダンス変換が可能となる。Bに到達する波形が成形され、また、上記回路の回路定数(例えばゲート幅など)を適当に設定すれば、高速に情報を伝送することができる。

実施例 11

第14図(A)は、本発明の第11の実施例の回路図、第14図(B)は、本発明の第11の実施例の断面図である。

第13図(A)におけるN型接合トランジスタ92、P型接合トランジスタ93をそれぞれデブ

けた場合は、該半導体領域における空乏層の2次元分布を抑制し、閾電圧値が低下するのを抑制できる。また、高濃度不純物ドーパ領域をゲート電極直下に設けることにより、ドレイン電界を弱めることができるのでバンスルーの抑制が可能で、ソース、ドレイン間耐圧を向上できる。このようにゲート電極直下の半導体領域に高濃度不純物ドーパ層を設けることにより、短チャネル効果を改善できる。さらに、本構造をメモリセルに適用することにより、該高濃度不純物ドーパ領域より深いところで発生する雑音キャリアのチャネル部への侵入を該不純物ドーパ領域の電位障壁により抑止でき、α線によるソフトエラーの抑止効果を持つ。

また、素子分離用絶縁膜の上にトランジスタのソース、ドレイン領域を形成する本発明の半導体装置においては、素子分離に必要な距離を低減できる。また、本構造を用いてチャネル長が0.5μm以下の超微細トランジスタで構成されるCMOSやメモリセルを構成すれば、高集積かつ高信頼な

集積回路を実現することができる。また、メモリセルの場合は、情報蓄積ノードと半導体基板（半導体突出領域）に接する面積を小さくできるため、 α 線によるソフトエラー耐性も向上できる。さらに、CMOSの場合は、トランジスタのソース領域と半導体基板（半導体突出領域）に接する面積を小さくできるので、ラッチアップを発生しにくくすることができる。

このように本発明によれば、短チャネル効果をさらに改善できるので、半導体装置の高信頼化を実現でき、また、占有面積が小さく、ラッチアップ耐性、ソフトエラー耐性を向上できるため、高集積度、高信頼度のMOS集積回路を実現できる効果がある。

4. 図面の簡単な説明

第1図は、本発明の第1の実施例のCMOSの断面図、第2図(A)は、本発明による高濃度不純物ドーブ領域による閾電圧値低減効果を示す図、第2図(B)は、本発明による不純物ドーブ領域の不純物濃度ピーク位置を示す断面図、第3図

(A)～(F)は、それぞれ第1図の半導体装置の製造方法を示す工程断面図、第4図は、本発明の第2の実施例のCMOSの断面図、第5図(A)は、本発明の第3の実施例のメモリセルの回路図、第5図(B)～(D)は、それぞれ第1図の回路を有するメモリセルの製造工程毎のレイアウト図、第6図(A)は、本発明の第4の実施例のメモリセルの回路図、第6図(B)は、本発明の第4の実施例のレイアウト図、第7図は、本発明の第5の実施例のメモリセルのレイアウト図、第8図は、本発明の第6の実施例のメモリセルのレイアウト図、第9図(A)は、本発明の第7の実施例のメモリセルの回路図、第9図(B)は、本発明の第7の実施例のメモリセルの断面図、第10図は、本発明の第8の実施例のトランジスタの断面図、第11図は、従来のトランジスタの断面図、第12図は、本発明の第9の実施例の接合トランジスタの断面図、第13図(A)は、本発明の第10の実施例の回路図、第13図(B)は、本発明の第10の実施例の断面図、第14図(A)は、

本発明の第11の実施例の回路図、第14図(B)は、本発明の第11の実施例の断面図である。

1…P型シリコン基板

2…素子分離絶縁膜

3…ゲート絶縁膜

4…ゲート電極

6…ドレイン拡散層

7…ソース拡散層

8、9…絶縁膜

11…P型シリコン基板

10…P型不純物層

10'…N型不純物層

12…Pウェル

13…Nウェル

12'…P型突出領域

13'…N型突出領域

15…ゲート酸化膜

16…ゲート電極

20…絶縁膜

21…シリコン薄膜

24…Nウェル電極

25…Pウェル電極

26…N型トランジスタのソース領域

27…N型トランジスタのドレイン領域

28…P型トランジスタのソース領域

29…P型トランジスタのドレイン領域

30…N⁻領域あるいはN⁺領域

31…P型トランジスタの真性ソース領域

32…P型トランジスタの真性ドレイン領域

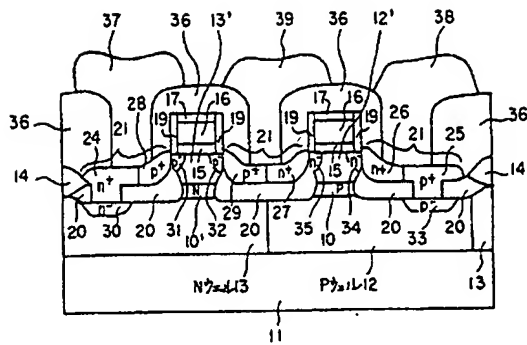
33…P⁻領域あるいはP⁺領域

34…N型トランジスタの真性ソース領域

35…N型トランジスタの真性ドレイン領域

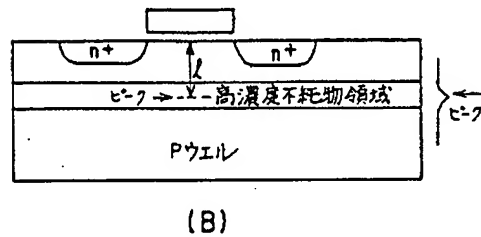
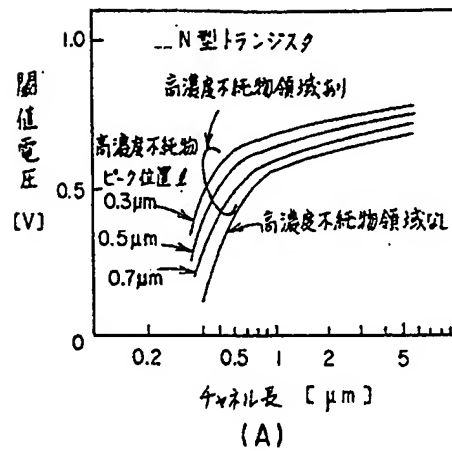
37、38、39…金属電極

代理人弁理士 中村純之助

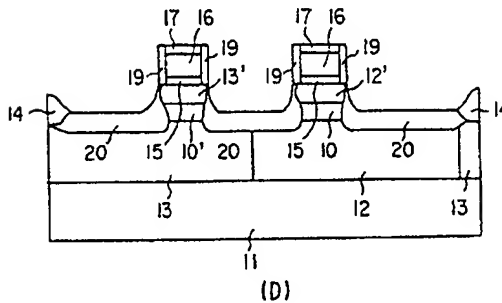
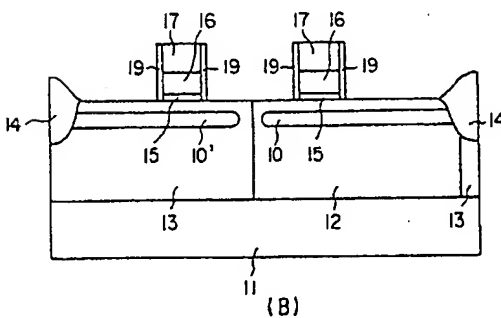
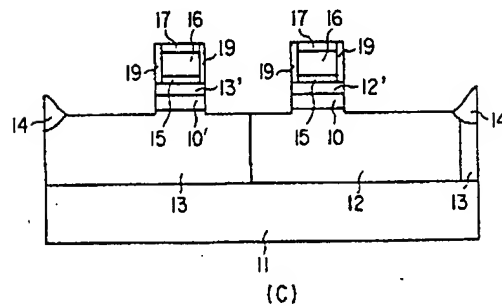
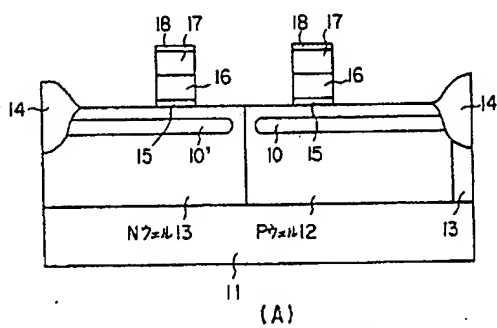


第 1 図

- | | |
|-----------------|---|
| 10 --- P型不純物層 | 25 --- Pウェル電極 |
| 10' --- N型不純物層 | 26, 28 --- ソース領域 |
| 11 --- P型シリコン基板 | 27, 29 --- ドレイン領域 |
| 12 --- Pウェル | 30 --- N ⁺ 領域あるいはN ⁻ 領域 |
| 12' --- P型空乏領域 | 31, 34 --- 真性ソース領域 |
| 13 --- Nウェル | 32, 35 --- 真性ドレイン領域 |
| 13' --- N型空乏領域 | 33 --- P ⁺ 領域あるいはP ⁻ 領域 |
| 15 --- ゲート酸化膜 | 37, 38, 39 --- 金属電極 |
| 16 --- ゲート電極 | |
| 20 --- 絶縁膜 | |
| 21 --- シリコン薄膜 | |
| 24 --- Nウェル電極 | |

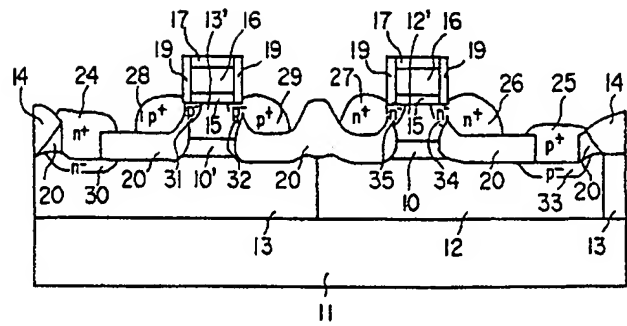
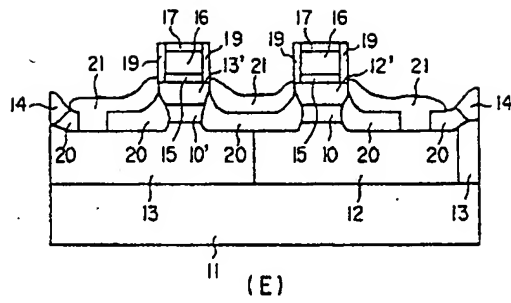


第 2 図

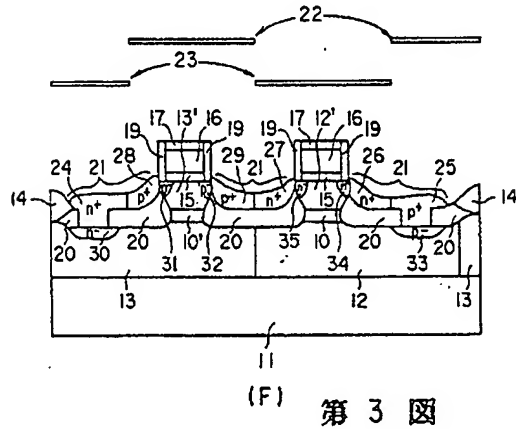


第 3 図

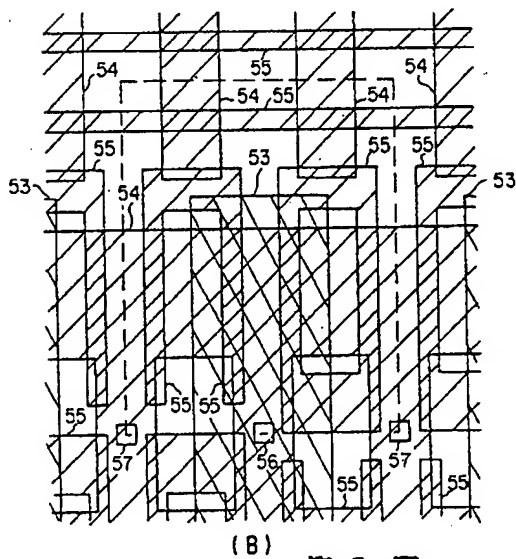
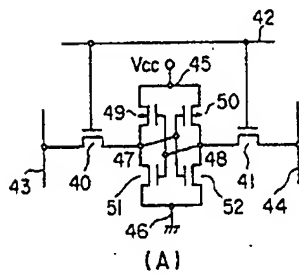
第 3 図



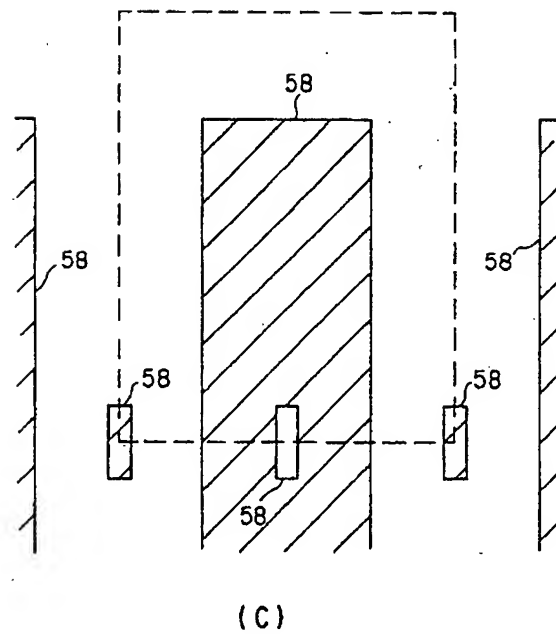
第 4 図



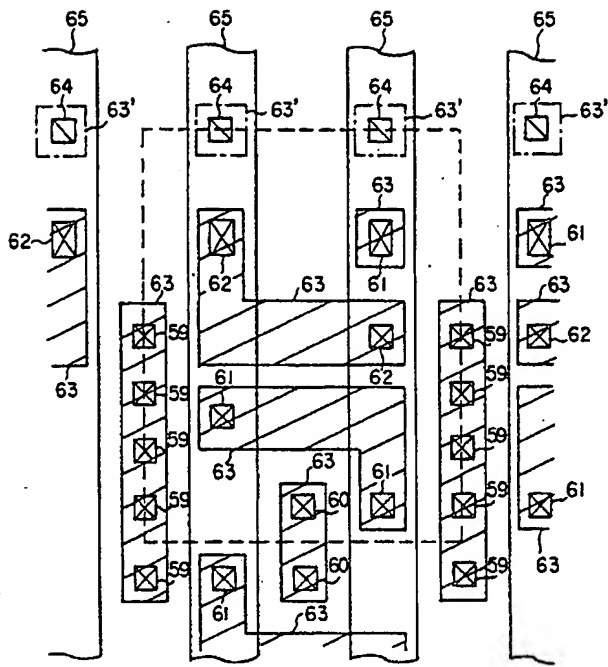
第 3 図



第 5 図

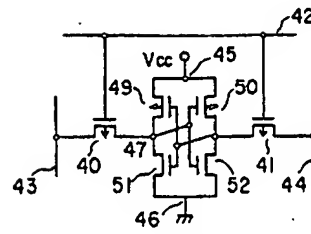


第 5 図

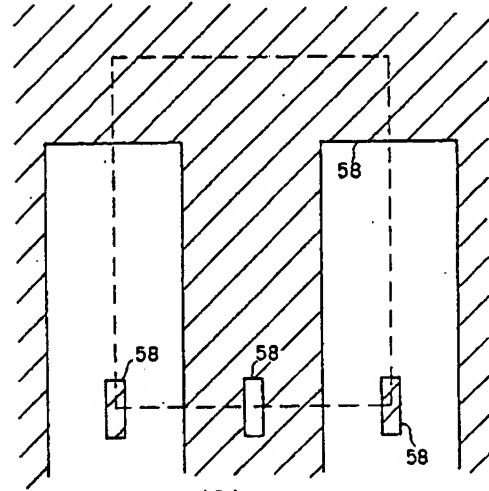


(D)

第 5 図

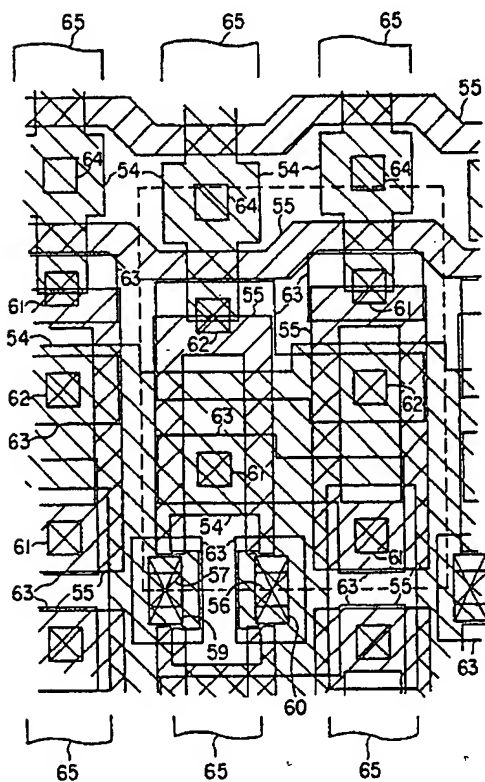


(A)

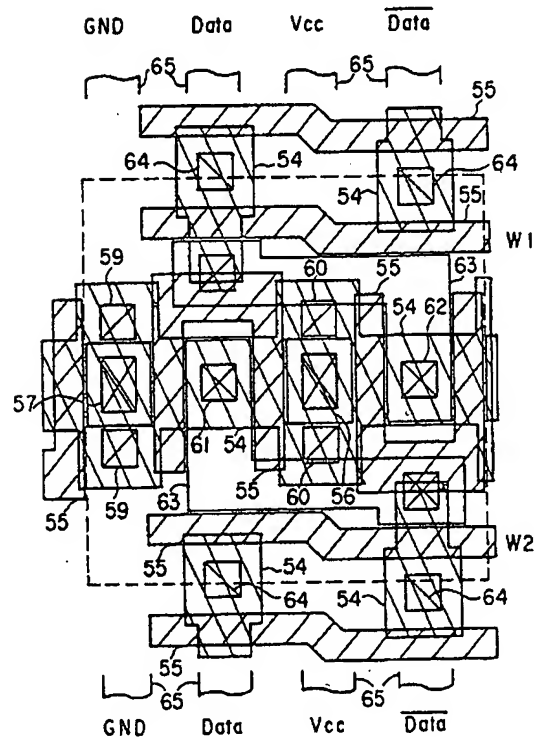


(B)

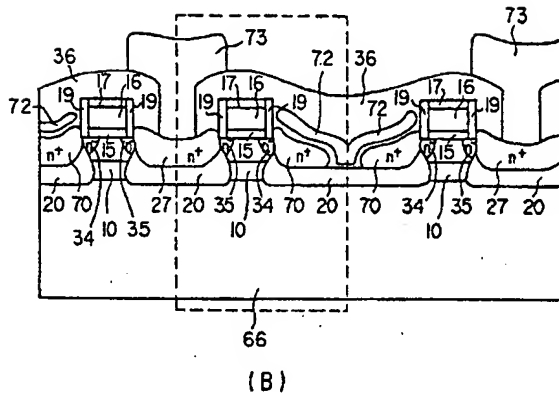
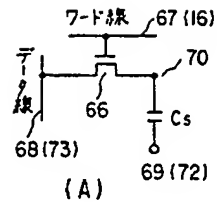
第 6 図



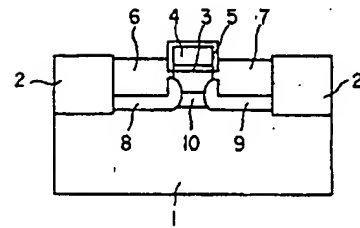
第 7 図



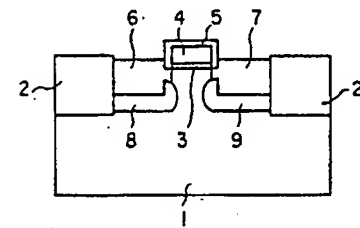
第 8 図



第 9 図

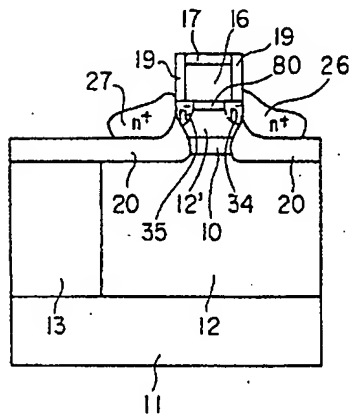


第 10 図

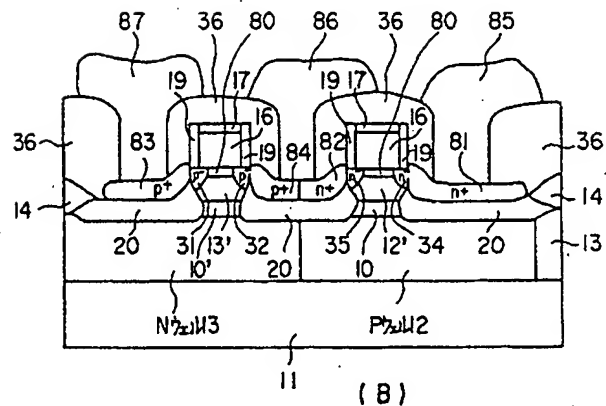
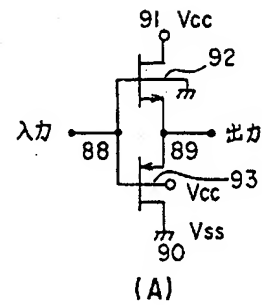


第 11 図

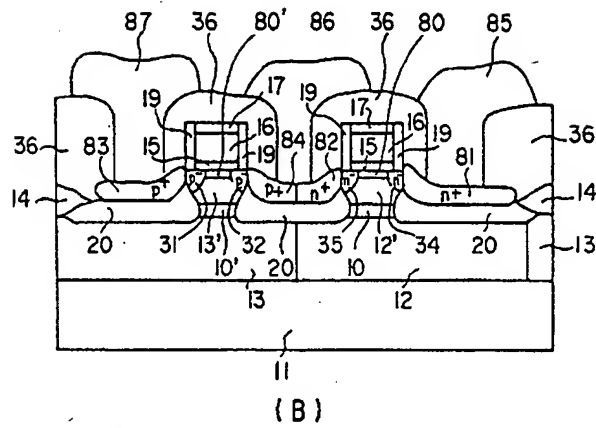
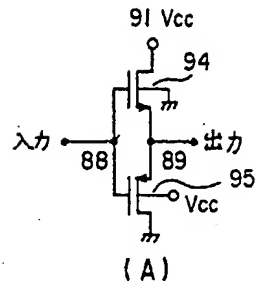
- | | |
|----------------|---------------|
| 1 --- P型シリコン基板 | 6 --- ドレイン拡散層 |
| 2 --- 素子分離絶縁膜 | 7 --- ソース拡散層 |
| 3 --- ゲート絶縁膜 | 8, 9 --- 絶縁膜 |
| 4 --- ゲート電極 | 10 --- P型不純物層 |
| 5 --- 絶縁膜 | |



第 12 図



第 13 図



第 14 図

第 1 頁の続き

⑤Int. Cl.⁵

識別記号

・ 庁内整理番号

H 01 L 27/092
27/108
27/11
29/784

8624-5F H 01 L 27/10
8624-5F

3 2 5 H
3 8 1

⑦發明者下東

勝博

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内